

トランジスタを用いず1.2倍の高密度化実装に成功、次世代のFPGAチップへ

大阪大学橋本 昌宜 教授らの研究グループは、新ナノデバイスであるビアスイッチをFPGAのプログラム機能実現に利用することで、FPGAチップの1.2倍の高密度化実装に世界で初めて成功しました(図(a))。また、AIアプリケーションに適したFPGAアーキテクチャを開発し、5倍のエネルギー効率向上が期待できること、半導体微細プロセスの採用により継続的な性能向上が期待できることを明らかにしました。

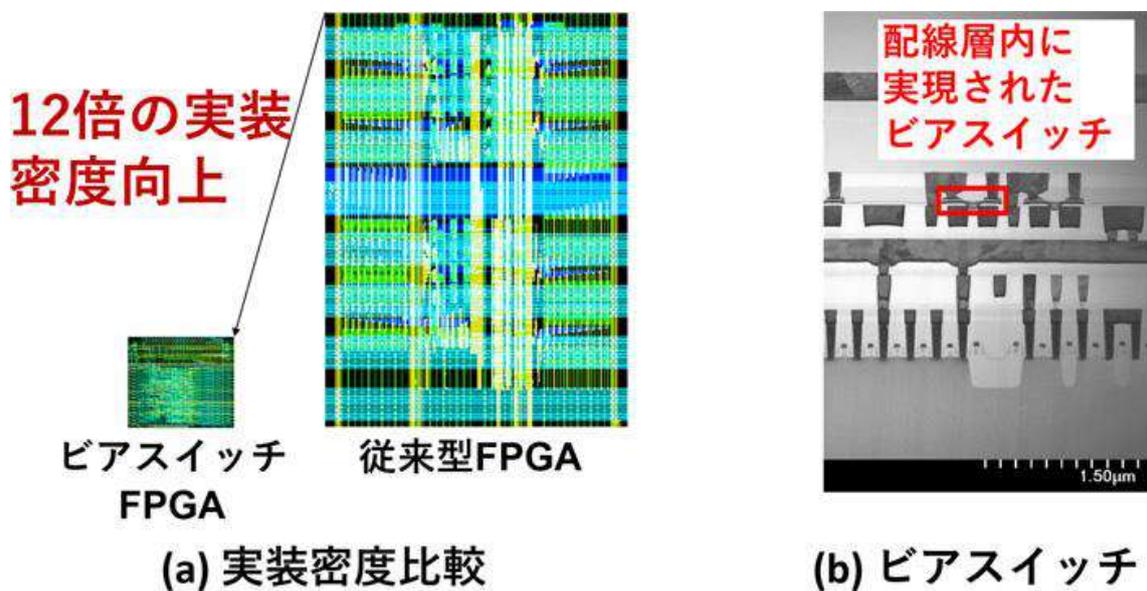


図 開発したビアスイッチFPGAの実装密度向上と配線断面

これまでFPGAは、短時間で機能実現でき、少量多品種の製品に適するという特徴により利用拡大が進んできました。しかし、チップ内のプログラミング機能の実現に多数のトランジスタを利用するため、チップの実装密度が低く、動作速度や消費電力などの性能が低いという課題がありました。

橋本教授らの研究グループでは、ビアスイッチと呼ぶ新しい不揮発スイッチデバイスの開発を進めてきました。今回、ビアスイッチを用いたFPGAの試作に世界で初めて成功し、従来のトランジスタでプログラム機能を実現するFPGAに対して、1.2倍の実装密度向上を実証しました(図(a))。実装密度はFPGAチップの価格に直結するため、大幅なコスト低減が期待できます。また、プログラム機能の実現にトランジスタを利用しなくなったため、全てのトランジスタをコンピューティングに利用できるようになり、高いコンピューティング性能の実現も可能となります。最小線幅65nmのシリコンCMOSプロセス

を用いて製造した FPGA チップをプログラミングし、期待通りの機能が実現できていることを確認しました。ピアスイッチが次世代の FPGA に適したデバイスであることを明らかにしました。

さらに、AI アプリケーションが効率的に実現できる FPGA アーキテクチャを開発し、その性能予測を行いました。トランジスタを用いてプログラミング機能を実現した FPGA に対して、5 倍のエネルギー効率向上が可能であることもわかりました。最小線幅 7 nm のシリコン CMOS プロセスで製造した場合、さらに 1.1 倍のエネルギー効率向上が期待できます。

本技術の詳細は、2 月 19 日に米国サンフランシスコで開催される半導体技術に関する最大の会議である「国際固体素子回路会議 ISSC 2020(IEEE International Solid-State Circuits Conference 2020)」で発表します (発表番号 33.3)。

論文情報

タイトル Via-Switch FPGA:65nm CMOS Implementation and Architecture Extension for AI Applications

発表番号 33.3

日文发布全文 <https://www.jst.go.jp/pr/announce/20200218/index.html>

文: JST 客観日本編集部编译