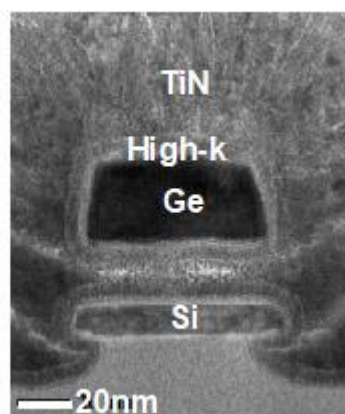
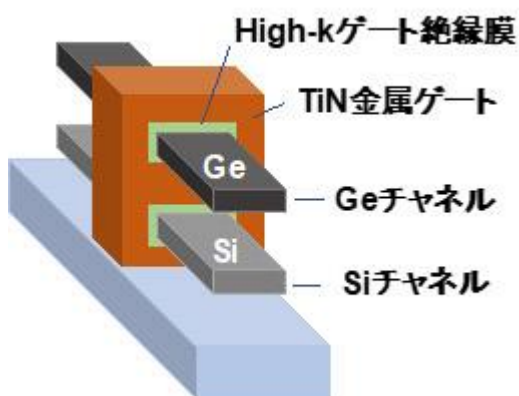


## 2nm 世代向けの新構造トランジスタ、積層型の Si/Ge 異種チャンネル相補型電界効果トランジスタによる大幅な集積化向上

国立研究開発法人 産業技術総合研究所(以下「産総研」という)デバイス技術研究部門先端 CMOS 技術研究グループ 張 文馨研究員を代表とする日本チーム(産総研と東北大学)と国家実験研究院 台湾半導体研究中心の李 耀仁リサーチフェローを代表とする台湾チーム(国立交通大学、国立成功大学、国立暨南国際大学、国立台湾大学、国立中山大学、逢甲大学、工業技術研究院、Hitachi High-Tech Taiwan Corporation)の共同研究グループは、2nm 世代の電界効果トランジスタ(FET)とされる Si と Ge の異種チャンネル相補型電界効果トランジスタ hCFET(heterogeneous Complementary-Field Effect Transistor)を開発した。

この技術の詳細は、2020 年 12 月 12~16 日(12 日発表)にオンラインで開催される 2020 IEEE International Electron Devices Meeting (IEDM 2020) で発表される。

今回、Si と Ge のチャンネル薄膜を上下に積層させる技術を開発し、Si n 型 FET と Ge p 型 FET を最短距離で連結する hCFET 構造を実現した。集積回路の 3 次元的な構造縮小化により、大幅な集積化向上とさらなる高速化が期待できる。



Si/Ge 異種チャンネル相補型電界効果トランジスタ hCFET

### 開発背景

携帯情報端末や IT 機器などの爆発的な普及により、電子情報機器の高性能化や消費電力の低減が求められている。図 1 に情報処理を担う電界効果トランジスタ(FET)

構造のロードマップを示す。プレナーと呼ばれる平面型の CMOS 構造はムーアの法則にそって、FET の微細化により高性能化と低消費電力化の両立が図られてきたが、2 次元的微細化は物理的限界に達しており、22nm 世代あたりから 3 次元的な FET 構造に大きく変化した。FinFET は、ヒレ(Fin)状のゲート構造をもつ FET で、現在実用化されている。その発展型が、ゲートがチャンネルの上下、左右を完全に覆うような GAA (Gate All Around)構造である。今後さらに進化した FET 構造が、n 型 FET と p 型 FET を上下に積層した CFET 構造と言われている。このような構造では、従来の単一 FET 素子の寸法で CMOS を構成でき、大幅な面積縮小と高速化が図れる。

一方、Si 以外のチャンネル材料の研究開発も進行している。Ge は、Si に比べホール移動度が高く、低電圧動作が可能で、Si プロセスとの親和性が高いことから、n 型 FET は従来の Si で、p 型 FET は Ge で作製できる異種チャンネル集積プラットフォームが FET の高速化技術として期待されている。

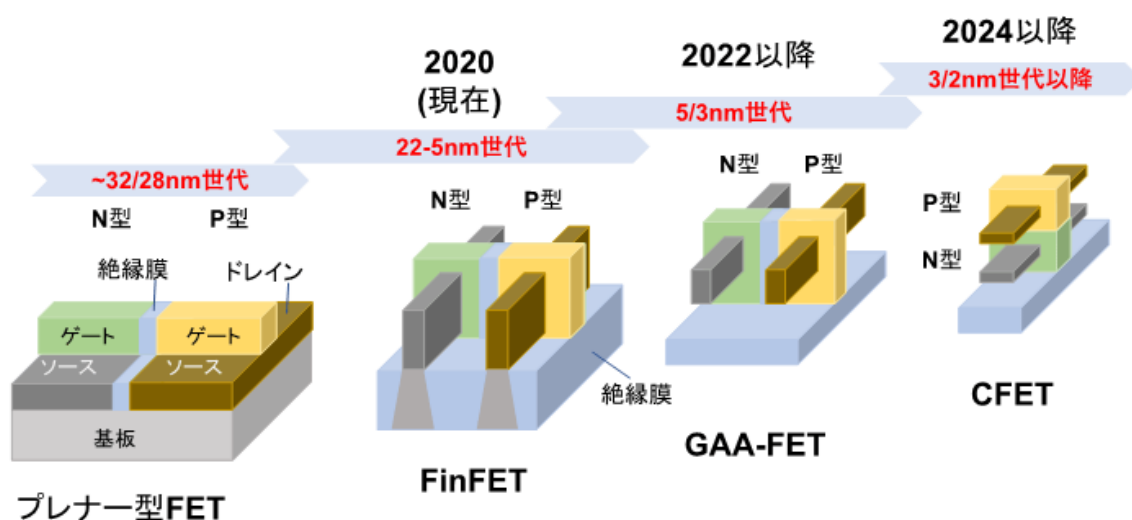


図 1 FET 構造のロードマップ

### 研究の内容

産総研と TSRI は日本-台湾国際連携を通じて、Si 層と Ge 層が積層された Si/Ge 異種チャンネル集積プラットフォームを構築した。Si や Ge などの熱膨張率の異なる材料の積層には、熱的ストレスの影響を避けるために、極力低温での積層プロセスが望まれる。われわれは、摂氏 200 度以下で高品質の Si 層と Ge 層を積層する低温異種材料接合技術 (Low Temperature Hetero-layer Bonding Technology, LT-HBT) を開発した(図 2)。



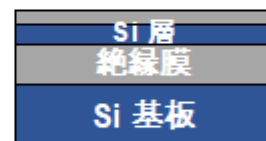
Geドナーウェハー



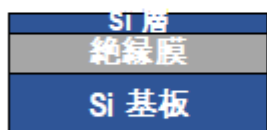
表面活性化



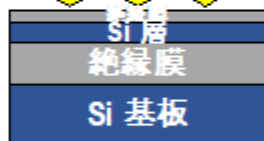
低温貼り合わせ



Siホストウェハー



表面活性化



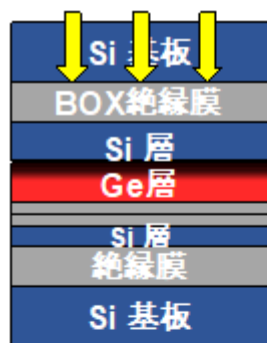
(a)

(b)

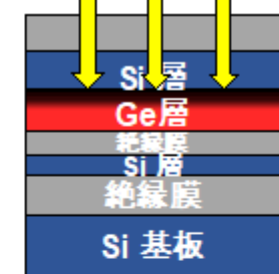
(c)



Si基板  
エッチング



ウェット  
エッチング



中性粒子ビーム  
エッチング



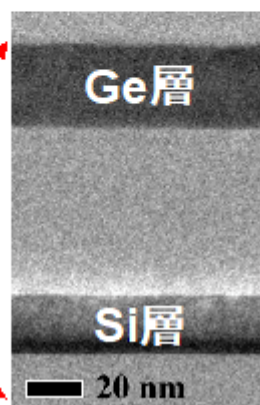
(d)

(e)

(f)



(g)



## 図 2 低温異種材料接合技術を使った Si/Ge 異種チャンネル積層プロセス工程

今回開発した技術では、まず SOI ホストウエハーとその上に Ge をエピタキシャル成長したドナーウエハー(a)を用意する。ここで Ge 層中には、Si 層との界面に近いところに欠陥層が、表面側には高品質層が存在する。次にドナーウエハーとホストウエハーそれぞれに SiO<sub>2</sub> 絶縁膜を堆積し、表面を活性化した後(b)、200 度の低温で直接接合させる(c)。その後、ドナーウエハーの Si 基板(d)、BOX 絶縁膜、Si 層を順次除去する(e)。最後に東北大で開発された低損傷で加工できる中性粒子ビームエッチング(Neutral Beam Etching, NBE)で Ge を均一に薄膜化すると(f)、Si/Ge 異種チャンネル積層構造が得られる(g)。積層プロセスとエッチングプロセスをすべて低温で行うことで、Si 層や Ge 層へのダメージが極めて少ない高品質の Si/Ge 異種チャンネル集積プラットフォームを実現した。また、この技術を用いると、hCFET 作製プロセスの大幅な簡略化が図れるだけでなく、さらなる多層化構造にも対応できる。

この Si/Ge 異種チャンネル積層プラットフォームから、hCFET を作製した(図 3)。Si と Ge 層を同一のチャンネルパターンで形成し、Si 層と Ge 層の間の絶縁層をエッチングして、ナノシート状の積層型チャンネル構造を得た。図 3(a)の SEM 鳥瞰図から、Ge と Si チャンネルが露出しているのがわかる。この構造に、high-k ゲート絶縁膜/金属ゲートをチャンネル全体を覆うように堆積させると、GAA 構造の Si n 型 FET と Ge p 型 FET が上下に積層された hCFET が実現した(図 3(b))。上部に Ge 層、下部に Si 層がチャンネル幅 50nm 程度のナノシート状で積層した構造が見て取れる。TEM EDX 分析からは、Si/Ge 異種材料チャンネルが high-k ゲート絶縁膜(Al<sub>2</sub>O<sub>3</sub>)と金属ゲート(TiN)に覆われていることがわかる(図 3(c))。さらに、単一のゲートでこれらの n 型 FET と p 型 FET を同時にトランジスタ動作させることに成功し、LT-HBT による異種チャンネル積層化が 2nm 世代のトランジスタ技術として極めて有効であることが示された。

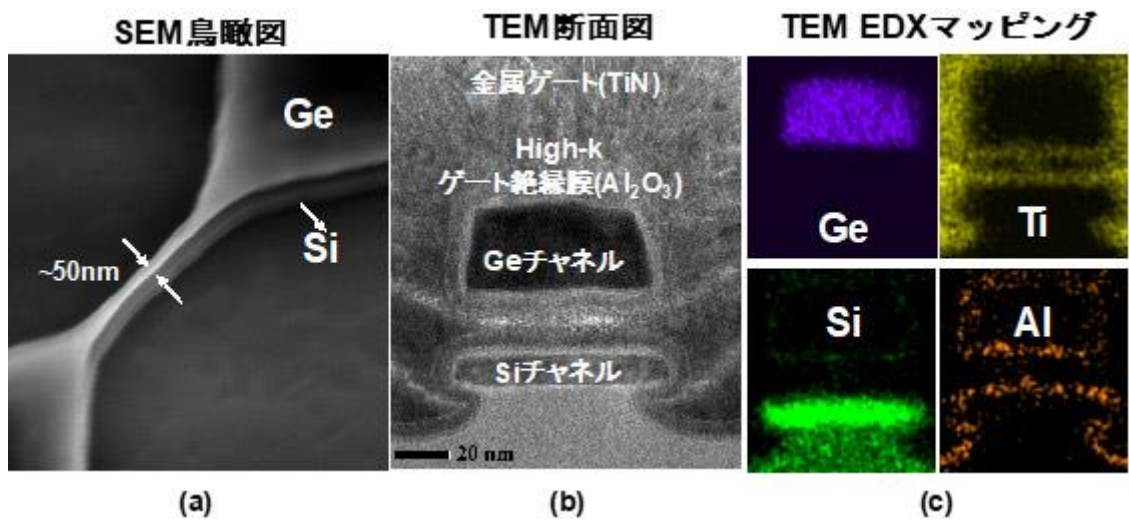


図3 Si n型FET/Ge p型FETを上下積層した3次元異種チャンネル相補型電界効果トランジスタ(hCFET)

日本語リリース

[https://www.aist.go.jp/aist\\_j/press\\_release/pr2020/pr20201208/pr20201208.html](https://www.aist.go.jp/aist_j/press_release/pr2020/pr20201208/pr20201208.html)